

Análisis Térmico para un Circuito SoC de Disparo de un Rectificador Controlado de Alta Eficiencia

José Treviño Martínez^a, José de Jesús López Villalobos^a, José Valderrama Chaires^a

^aInstituto Tecnológico de Nuevo León.

Av. Eloy Cavazos No. 2001, Col. Tolteca, Guadalupe, N.L., México, 67170.

jtrevm2009@yahoo.com.mx, xe2n@yahoo.com.mx, jvc68@hotmail.com 2013 Published by *DI²U*_{100ci}@

<http://www2.uaz.edu.mx/web/www/publicaciones>

Selection and peer-review under responsibility of the Organizing Committee of the CICOMP-2013, www.cicomp.org

Resumen

Este trabajo establece una propuesta de Encapsulado para un control específicamente en la fase de disparo, que mediante agentes (máquinas finitas) para el diseño de Cruce por cero y los pulsos necesarios para el disparo de SCR's (Silicon-Controlled Rectifier) de un motor de Corriente Directa (CD), utilizando VHDL, simulando en Ise Simulator (ISim) y utilizando FPGA (Field Programmable Gate Array) para las pruebas de laboratorio y el análisis térmico de los componentes de un encapsulado usando el Evaluador de Potencia de Xilinx (XPE).

Palabras clave: Análisis térmico, Automatas, FPGA, SCR's ,VHDL.

1. Introducción

Durante las últimas tres décadas ha existido la necesidad de controlar la potencia eléctrica de los sistemas de tracción y de los controles industriales impulsados por motores eléctricos; esto ha llevado a investigar en el entorno de sistemas de Control con el objeto de obtener un voltaje variable para el control de los motores. Las líneas de investigación actuales buscan la integración de dispositivos de potencia y control en un único chip (SoC, por sus siglas en inglés, System on a Chip), reduciendo costos y multiplicando sus potenciales aplicaciones. No obstante existen dificultades a salvar como el aislamiento entre zonas trabajando a altas tensiones y circuitería de control, así como la disipación de la potencia perdida. En el presente traba-

jo se establece la propuesta de una metodología para elección del Encapsulado para un circuito de control específicamente en la fase de disparo, de un motor de Corriente Directa (CD) por medio del ajuste en los impulsos de disparo de Rectificadores Controlados de Silicio (SCR's por sus siglas en inglés), para el control de los impulsos se utilizan agentes (máquinas finitas) que ajustan los retardos a partir de los cruces por cero y dichos agentes se implementan (programan) en dispositivos FPGA (Field Programmable Gate Array), la programación o implementación de los circuitos físicos en los dispositivos FPGA se realiza con ayuda del lenguaje VHDL y los ambientes de software integrado (ISE -Integrated Software Environment- para el caso del fabricante XILINX), simulando en ISE Simulator (ISim),

además permiten la síntesis, el análisis y por tanto la optimización de los circuitos diseñados por medio de herramientas tales como simuladores de desempeño térmico y evaluación de potencia de los circuitos implementados (XPE -Evaluador de Potencia de Xilinx) y utilizando la metodología Top-Down donde se encapsula los procesos representativos del circuito para el disparo de los SCR's.

2. Manejo Térmico

La carga extraída por la naturaleza para el procesamiento de la información es el calor residual que se genera. Como la energía se acumula, aumenta la temperatura de unión en la soldadura. La diferencia de temperatura entre el dispositivo y sus alrededores permite conducir el flujo de calor fuera del sistema. Cuanto mayor sea la diferencia de temperatura, mayor es el flujo de energía. La temperatura máxima de una unión de un dispositivo se alcanza cuando el flujo de calor hacia el ambiente es capaz de mantenerse con la energía que se produce por la unión. La Gestión de ingeniería térmica determina qué cantidad será esta temperatura [1]. Más allá de los problemas relacionados, existe una fiabilidad y pérdida de velocidad asociado con el aumento temperatura de la unión. En general, todos los mecanismos de falla tienen una energía de activación asociada con ellos que son acelerados por la temperatura creciente. Para una energía de activación para el mecanismo de falla de 0,5 eV, típica de afectación a través de los fallos, por ejemplo, cada 10 °C de aumento en la unión de soldadura los resultados de temperatura en la vida útil de un dispositivo se acortan más o menos a la mitad (Figura 1). Debido a que el canal resistencia aumenta con la temperatura, la demora de conmutación para una puerta también se incrementa aproximadamente dos por ciento por cada 10 °C de aumento en la temperatura. Por estas razones, es necesario evitar que en la unión, la temperatura se eleve demasiado. La utilización de los FPGA (Field Programmable Gate Array) ha ido creciendo de manera impresionante debido a que ha resultado una herramienta para generar prototipos en corto tiempo y con bajos costos. El consumo de potencia y la disipación térmica ha sido un factor de estudio por mucho tiempo en la industria y en la investigación que ha generado metodologías y estándares que pueden ser aplicados para un mejor diseño de los dispositivos o sistemas de componentes que son enfocados a solucionar un problema en específico. No es desconocido que actualmente la disipación de calor dentro de encapsulado sobrepasa la capacidad térmica del paquete sobre todo en aquellos donde no se lleva

un buen diseño y manejo de la energía [2].

Con los niveles de disipación de calor de los componentes que llegan a 500 W/cm² y en ocasiones sobrepasa este número, los sistemas convencionales de enfriamiento de aire son inadecuados para eliminar el exceso de calor. La investigación se ha intensificado hacia el desarrollo de técnicas más innovadoras de refrigeración de chips. El objetivo final es reducir la resistencia térmica de la unión del chip a la temperatura ambiente, y mantener la temperatura de la unión de soldadura del chip tan bajo como sea posible [3]. En general, la temperatura de la unión debe mantenerse por debajo de 115 °C durante un período de vida razonable de un dispositivo. IBM utiliza el 85 °C como su directriz de diseño. Intel utiliza 90 °C como la especificación de unión temperatura máxima para el procesador Pentium. Con un ambiente que podría ser de 40 °C (113 °F) dentro de un recinto, la caída de la temperatura máxima entre la unión y el ambiente es típicamente del orden de 50 °C. El propósito de una estrategia de gestión térmica es proporcionar un método de extracción de cualquier tipo para que la energía térmica que se genera se disipe en el medio ambiente, mientras se mantiene la unión a una temperatura por debajo de 90 °C, utilizando como máximo un diferencial de temperatura de 50 °C. Al mismo tiempo, a menudo hay una especificación de ruido acústico que se deben de cuidar al momento de buscar la estrategia del manejo de la temperatura [1].

Elementos Finitos

Los elementos finitos son cada vez más utilizados para poder aproximar los resultados de un prototipo de un circuito integrado o un dispositivo electrónico inclusive sobre su comportamiento térmico [4]. El método de los elementos finitos (MEF) ha adquirido una gran importancia en la solución de problemas de ingeniería, de física, de aproximaciones esféricas, ya que permite resolver casos que hasta hace poco tiempo eran prácticamente imposibles de resolver por métodos matemáticos tradicionales. Esta circunstancia obligaba a realizar prototipos, realizar varias pruebas e ir realizando mejoras de forma continua, lo que traía consigo un elevado coste tanto económico como en tiempo de desarrollo y re trabajo [5].

Estimados de Potencia de Xilinx (XPE)

El Estimador XPower (XPE) es una herramienta de estimación de potencia típicamente usados en el pre-diseño y pre-implementación de fases de un proyecto. El XPE ayuda con la evaluación de la arquitectura, selección de dispositivos, componentes

adecuados de suministro de energía, manejo térmico específicos para una aplicación determinada. El XPE considera el uso de recursos del diseño, los factores de cambio, la carga de E/S, y muchos otros factores que se combinan con los modelos de dispositivos para calcular la distribución de potencia estimada. Los modelos de los dispositivos se extraen de las mediciones, la simulación, y/o extrapolación. La precisión del XPE depende de dos conjuntos principales de entradas: Dispositivo utilizados, configuración del componente, el reloj, lo activo, y los factores de cambio, y otra información que se introduce en la herramienta. Los modelos de los dispositivos de datos integradas en la herramienta, para realizar las estimaciones precisas de la aplicación, se debe introducir información realista que sea lo más completa como sea posible. Actualmente es utilizado en la Industria e Investigación [6].

Introducción a los paquetes de Xilinx

Los paquetes Electrónicos son capsulas interconectadas para dispositivos de semiconductores [7]. La mejor función de los paquetes Electrónicos es proveer de interconexiones eléctricas entre los Circuitos Integrados (CI) y la tarjeta y para remover eficientemente el calor generado por el dispositivo. Xilinx provee de un alto rango de soluciones con plomo y arreglos empaquetados para los proyectos avanzados. Las soluciones avanzadas de Xilinx incluyen arreglos de redes de bolas de plástico sobre moldeadas (PBGA, por sus siglas en inglés, overmolded plastic ball grid arrays), Paquetes de Chips escala pequeña (small form factor Chip Scale Packages), Cavidad Baja BGA's ("Cavity-Down" BGAs), Matrices de Arreglos de Columnas con chip invertido cerámicos (Ceramic column grid arrays flip chip (CCGA) por su siglas en inglés), así como el nuevo forma de paquetes cómo los paquetes Cuadrados planos sin plomo (Quad Flat No-Lead (QFN)) para ofrecer varias cantidades de pines y requerimientos de densidad. Los paquetes de Xilinx son diseñados, optimizados, y preparados para soportar los requerimientos mecánicos de larga vida y proponer el funcionamiento más avanzado de requerimientos térmicos y eléctricos de los proyectos avanzados FPGA de alta velocidad. Xilinx también desarrolla soluciones de paquetes que son seguras para el ambiente. Actualmente, los paquetes estándar de Xilinx no contienen sustancias que son identificadas como peligrosas para el ambiente incluyendo cadmio, cromo hexavalente, mercurio, Polibromobifenilos PBB, y éteres polibromodifenil PBDE. Las soluciones libres de plomo (Pbfree) es un avance sobre las antecesoras. Esta propuesta de Xilinx cumple con la reducción

de Sustancias peligrosas. Los Paquetes Pb-free de Xilinx también consideran el cumplimiento de la norma JEDEC J-STD-020, lo que significa que los paquetes son hechos más robustos que los hace capaz de resistir altos reflujos de temperatura.

Los métodos de caracterización

Xilinx utiliza varios métodos para obtener las características térmicas de rendimiento de paquetes de circuitos integrados. Los métodos incluyen la simulación térmica utilizando herramientas de software de elementos finitos, y un método indirecto que utiliza un diodo eléctrico aislado en una matriz de prueba especial térmica o incluso en una FPGA Xilinx ubicado en el paquete de su interés. La mayoría de los datos comunicados por Xilinx se basa en el método indirecto de diodo. Las herramientas de simulación, calibrado con datos de mediciones reales, se utilizan para complementar la garantía térmica de generación de datos. La mayoría de los datos publicados del modelo térmico se basa en ese esfuerzo.

Máquinas de Estado

Una máquina de estados es frecuentemente usada para el diseño de un sistema digital que representa los pasos de un procedimiento o algoritmo [8]. Los diagramas de estados o los grafos de estados, los círculos representan los estados y los arcos representan la transición que tradicionalmente ha sido usada para especificar la operación de la máquina de estados controladora. Como una alternativa para usar grafos de estados, un tipo especial de flujo de datos, llamado flujo de maquinas de estados (SM chart, State Machine chart), que puede utilizar para representar la conducta de las maquinas de estados. Estas representaciones también son llamados algoritmos gráficos de máquinas de estados (ASM charts, Algorithmic State Machine charts). SM charts son frecuentemente para diseño unidades de control para sistemas digitales. El diseño se puede simular e implementar sobre el mismo FPGA para reducir los riesgos de lo esperado con respecto al modelo y el circuito final [9]. La generación del listado de estados permite realizar la lógica para plantear los ajustes necesarios como eliminar estados repetidos o reutilizando salidas. El concepto de estados equivalentes es importante para el diseño y pruebas de circuitos digitales. Identificar los equivalentes ayuda a reducir el consumo de hardware por ende evitar el SoC sea más grande mas allá de lo necesario abarcando parte del circuito y disminuir la energía de consumo y por tanto la temperatura.

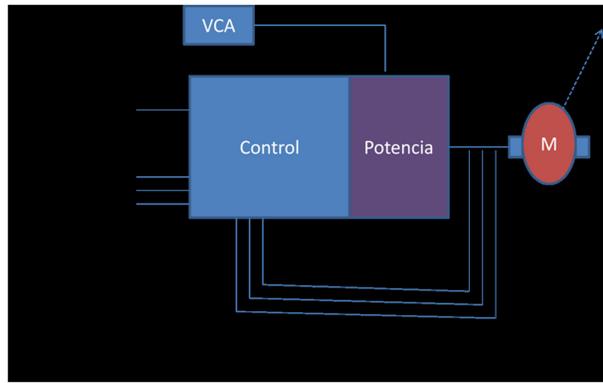


Figura 1. Modelo de Control Propuesto

VHDL y Agentes

Para el diseño se aplican en técnicas de optimización que están incorporadas en técnicas de diseño asistido por computadora (CAD, Computer Asisted Design). La importancia de minimizar estados ha ido disminuyendo en los recientes años por la cantidad abundante de transistores que se utilizan, sin embargo es necesario que al menos se reduzcan por eliminación obvia y así reducir el área del circuito y la energía [10]. Por ésta razón se hace necesario realizar un diseño óptimo, aprovechando los recursos que estén disponibles dividiendo el problema en varios módulos menos complejos, utilizando como se mencionó anteriormente un diseño TOP-DOWN y dónde herramientas como el VHDL genera la sincronización y concurrencia con máquinas pequeñas donde cada uno de estos subsistemas se realiza la interconexión de los mismos donde cada parte se comporta como un pequeño sistema digital. Mediante la descripción de cada uno de los módulos se llega a la solución total deseada. [10].

3. Implementación

El circuito a utilizar es el presentado en [11], donde se tiene el alcance del circuito de cruce por cero y el de disparo de los SCRÁ's. Las compuertas lógicas necesarias para representar el circuito se encapsulan dentro un integrado y mediante la herramienta ISE, se genera el Soc. Los resultados generados se llevan a la herramienta de simulación XPE, para el cálculo de la temperatura que va a estar sometido el integrado. Este se muestra en la Figure 1.

El encapsulado resultante se muestra en la fig. 2. Dentro de las familias de FPGA's de Xilinx, se seleccionó Spartan 3E FPGA para poder hacer la implementación y simulación del comportamiento del prototipo. La última columna son los bits configurados.

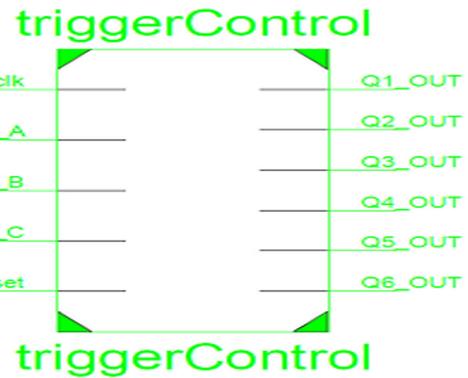


Figura 2. Características del Paquete

Spartan-3E FPGA	XC3S100E	581,344
	XC3S250E	1,353,728
	XC3S500E	2,270,208
	XC3S1200E	3,841,184
	XC3S1600E	5,969,696

Figura 3. Tomado del manual ug332 Xilinx. (Xilinx U., 2009)

En este caso es la que soporta nuestra tarjeta de pruebas y de acuerdo a la configuración del manual de Xilinx (Ug320), se seleccionó el XC3S500E.

Dentro de la parte seleccionada de la tabla anterior se seleccionó fg320. El paquete fgg320 la diferencia de éste es que propone materiales más nobles con el ambiente, pero en funcionamiento tienen las mismas características que el fg320 [6]. El paquete fg320 es del tipo de matriz de arreglo de bolas de Soldadura [12]. También se realiza una prueba exhaustiva con nueve veces el tamaño con un 70 % de utilización con el peor caso de análisis con 39 entradas y 117 salidas con reloj a 50 MHz. Lo siguiente es generado con el Simulador XPE de Xilinx [6] que internamente utiliza Elementos Finitos y datos de Experimentación en Laboratorio.

4. Análisis de Resultados

Los autómatas desarrollados con VHDL y la herramienta isim de xilinx presentaron excelentes resultados dejando un diseño de bajo consumo que nos permite un mejor manejo de la temperatura. Lo que nos da los siguientes consumos de energía, utilización de componentes y propiedades térmicas cercanas al real de Silicio. La curva térmica es como se muestra en la siguiente Figura 6 Como Extra por si se quiere obtener un prototipo y aun que no se recomienda el uso comercial se puede considerar el Cuadrado Plano por si se quiere realizar más pruebas de laboratorio. Para el prototipo Cuadrado Plano con la misma cantidad de componentes incrementado nueve veces, en este caso ocupando

Información Térmica	
Temp Ambiente (°C)	50.0
Flujo de Aire (LFM)	0
ΘJA (°C/W)	25.9
Configurable ΘJA	
Max Ambiente (°C)	80.1
Unión Temp(°C)	54.9

Figura 4. Especificación Xilinx

Encapsulado	Potencia(W)	Usado	Disponible	Utilización
Relojes	0.002	9	---	---
Lógico	0	449	9312	4.8
Señal	0	485	---	---
Entrada/Salida	0	11	232	4.7
Filtración	0.081			
Total	0.084			
Propiedades Térmicas		TJA Efectivo (C/W)	Max Ambiente (C)	Temp Junction (C)
		26.1	82.8	27.2

Figura 5. Resultado Térmico de SoC de Disparo

el 98 % del paquete. (Con autómatas implementados sobre una tarjeta FPGA para uno eficiente de Energía), se llega a la conclusión que el paquete seleccionado son una ventilación en la herramienta XPE) aún que se comportamiento Térmico de los materiales y las uniones del encapsulado así como las técnicas de arreglos de bolas de soldadura, se obtiene excelentes respuestas (Con Técnicas de Elemento Finito).

En este caso fue necesario utilizar un ventilador con 750 Líneas por minuto (LFM). Esto nos permite mantener en las uniones una temperatura de 55.4 a una temperatura de 50 °C pero con un 98.7% de utilización. Con Encapsulado cuadrado y con 3 cm aproximadamente con 1 cm de diferencia con respecto al fg320, nos permite construirlos manualmente muy útil para prototipos y aun teniendo resultados aceptables.

Conclusiones

Mediante una configuración para la tarjeta Spartan 3E con fg320, es decir un encapsulado en matriz de arreglos de bolas de soldadura, se obtiene excelentes respuestas (Con Técnicas de Elemento Finito de la herramienta XPE) amplifica el tamaño del circuito, lo que indica que se espera un buen comportamiento del dise-

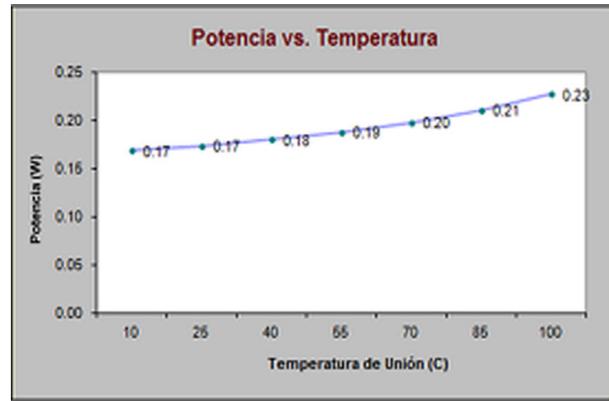


Figura 6. Temperatura de un fg320

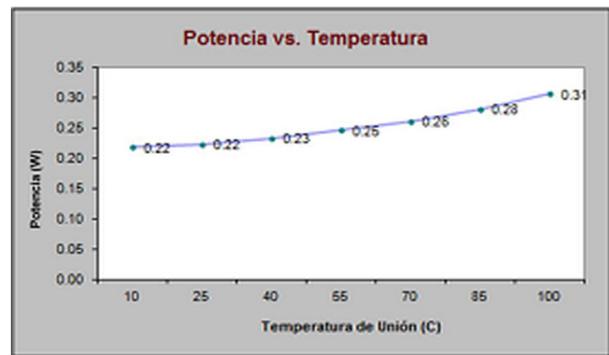


Figura 7. Temperatura de prototipo Cuadrado Plano

ño propuesto alternativa para encapsular el circuito de disparo en una pastilla SOC, de manera comercial con fg320 o si desea utilizar un prototipo si se desea realizar con el PQ208 también presenta buenos resultados por el uso eficiente de la Energía

Referencias

- [1] T. Yamada. Roadmaps Of Packaging Technology. Thailand: IC Engineering Corporation. 1994.
- [2] S. Nevado. Implementación de Técnicas de Bajo Consumo en FPGAs. International Technology Roadmap for Semiconductors. 2009.
- [3] B. Tavassoli. Heat removal with microchannel heat sinks. 2011.
- [4] C. D. Chaudhuri. Thermal Effects in Design of Integrated CMOS MEMS High Resolution Pressure Sensor. International Journal On Smart Sensing And Intelligent Systems September, VOL. 2, NO. 3. 2009.
- [5] A. Carnicero. Introducción a los Elementos finitos. España: Universidad Tecnológica Nacional de Córdoba. 2009.
- [6] Xilinx, U. XPower Estimator User Guide. New York: Xilinx. 2012.
- [7] Xilinx, U. Device Package User Guide. Obtenido de http://www.xilinx.com/support/documentation/user_guides/ug112.pdf, 22 de Septiembre de 2010.
- [8] C. H. Roth y L. K. Jonh. Digital Systems Design Using VHDL (Second Edition Ed.). Stamford, CT: CENGAGE Learning. 2008.

- [9] L. A. Barragán, I. Urriza, D. Navarro, J. I. Artigas, J. Acero, y J. M. Burdio. Comparing simulation alternatives of FPGA-based controllers for switching converters. Dept. Ingeniería Electrónica y Comunicaciones, Universidad de Zaragoza, 419-424. 2007.
- [10] L. D. Murillo. Redes de Petri: Modelado e implementación de algoritmos para autómatas programables. *Tecnología en Marcha*, 21 (4), 102-125. 2008.
- [11] J. Treviño, J. Villalobos y J. Valderrama. Diseño de un circuito SoC para Disparo de SCR. *Cicomp 2012*.
- [12] Xilinx, F. Fine-Pitch BGA (FG320/FGG320) Package. New York: Xilinx. 2005.