

# *DIFU*<sub>100ci@</sub>, Revista de Difusión Científica

**Ingeniería y Tecnologías**

**Vol:** 17

**Num:** 3

**Publicación:** Septiembre - Diciembre 2023

**ISSN:** 2007-3585



*Una publicación de la Universidad Autónoma de Zacatecas "Francisco García Salinas"*

# Directorio

---

## Universidad Autónoma de Zacatecas “Francisco García Salinas”

Dr. Rubén de Jesús Ibarra Reyes, *Rector*

Dr. Ángel Román Gutiérrez, *Secretario General*

M.C. Hans Hiram Pacheco García, *Secretario Académico*

Dr. Carlos Francisco Bautista Capetillo, *Coord. Investigación y Posgrado*

### Editor en Jefe

Víktor Iván Rodríguez Abdalá, *Universidad Autónoma de Zacatecas, (México)*

### Editores Asociados

Manuel Hernández Calviño, *Universidad de La Habana, (Cuba)*

José Ricardo Gómez Rodríguez, *Universidad Autónoma de Zacatecas, (México)*

### Grupo Revisor

Jorge Flores Troncoso, *Universidad Autónoma de Zacatecas, (México)*

Remberto Sandoval Aréchiga, *Universidad Autónoma de Zacatecas, (México)*

Salvador Ibarra Delgado, *Universidad Autónoma de Zacatecas, (México)*

Juvenal Villanueva Maldonado, *CONACyT-UAZ, (México)*

Jorge Simón Rodríguez, *CONACyT-UAZ, (México)*

Rodrigo Daniel Méndez Ramírez, *Centro de Investigación Científica y de Educación Superior de Ensenada, (México)*

Leonardo Acho Zuppa, *Universidad Politécnica de Catalunya, (España)*

Miguel Andrés, *Universidad de Valencia, (España)*

José Ángel González Fraga, *Universidad Autónoma de Baja California, (México)*

Ramón Parra Michel, *Centro de Investigación y de Estudios Avanzados del IPN, (México)*

Leonel Soriano Equigua, *Universidad de Colima, (México)*

José Luis Álvarez Flores, *Universidad de Colima, (México)*

Fermín Marcelo Rubén Maciel Barbosa, *Universidad de Colima, (México)*

Francisco Rubén Castillo Soria, *Universidad Autónoma de San Luis Potosí, (México)*

Cristian Eduardo Boyain y Goytia Luna, *Universidad Autónoma de Zacatecas, (México)*

Juan Pablo Morales Álvarez, *Instituto Tecnológico de La Paz, (México)*

Daniel Armando Hirles Valles, *Instituto Tecnológico de La Paz, (México)*

Jaime Sánchez García, *Centro de Investigación Científica y de Educación Superior de Ensenada, (México)*

Salvador Villarreal Reyes, *Centro de Investigación Científica y de Educación Superior de Ensenada, (México)*

Ernesto García Domínguez, *Universidad Autónoma de Zacatecas, (México)*

Rafael Villela Varela, *Universidad Autónoma de Zacatecas, (México)*

Jorge de la Torre y Ramos, *Universidad Autónoma de Zacatecas, (México)*

Manuel Reta Hernández, *Universidad Autónoma de Zacatecas, (México)*

# Derechos reservados

---

## Editorial

Universidad Autónoma de Zacatecas  
“Francisco García Salinas”

## Diseño de revista

Víktor Iván Rodríguez Abdalá  
José Ricardo Gómez Rodríguez

## Derechos Reservados

Universidad Autónoma de Zacatecas  
“Francisco García Salinas”

**ISSN 2007-3585**

DIFU100ci@ (léase difuciencia) es una publicación cuatrimestral editada por la Universidad Autónoma de Zacatecas, “Francisco García Salinas”, a través de la Unidad Académica de Ingeniería Eléctrica. Jardín Juárez No. 147, Colonia Centro, Zacatecas, Zacatecas, C.P. 98000. Tel. (01 492) 925 6690.

Reservas de Derechos al Uso Exclusivo No. 04-2015-060212215100-203, ISSN: 2007-3585, ambos otorgados por el Instituto Nacional de Derecho de Autor.

Las opiniones expresadas por los autores no necesariamente reflejan la postura del editor de la publicación. Queda estrictamente prohibida la reproducción total o parcial de los contenidos e imágenes de la publicación sin previa autorización de la Universidad Autónoma de Zacatecas “Francisco García Salinas” a través de la Unidad Académica de Ingeniería Eléctrica.

<http://www.uaz.edu.mx>  
<http://difu100cia.uaz.edu.mx>  
[difu100cia@uaz.edu.mx](mailto:difu100cia@uaz.edu.mx)

## Carta del editor

---

Los últimos avances de la industria electrónica para el desarrollo tecnológico han permitido que la puesta en marcha de proyectos ambiciosos con diferentes niveles de implementación, que van desde el mas bajo nivel, desarrollo de hardware, hasta el mas alto nivel como aplicaciones con fines específicos sean alcanzables em ámbitos como la academia.

Este tipo de implementaciones permiten que los estudiantes de los diferentes niveles de estudio, desde licenciatura hasta doctorado, puedan poner en práctica sus conocimientos adquiridos durante sus estudios y enfrenten los desafíos de las adversidades que representa el mundo real.

Además, esto permite una mejor preparación de los estudiantes así como de la academia para los retos futuros que implica la innovación tecnológica en las diferentes áreas de oportunidad.

Finalmente, estamos en un momento donde las oportunidades de desarrollo e implementación de proyectos de vanguardia tecnológica, permitirán que tanto la investigación académica como la enseñanza en sus diferentes niveles sean actualizados, con herramientas de diseño e implementación utilizadas en la industria del desarrollo electrónico.



Víctor Iván Rodríguez Abdalá  
Editor en Jefe

# Índice general

---

<b>Directorio</b>	<b>I</b>
<b>Derechos reservados</b>	<b>II</b>
<b>Carta del editor</b>	<b>III</b>
<b>1. Desarrollo de un vehículo terrestre no tripulado teleoperado para aplicaciones de minería con fines educativos</b>	<b>1</b>
<b>2. Desarrollo de un microcontrolador soft configurable basado en el ISA RISC-V</b>	<b>12</b>

# Development of a teleoperated unmanned ground vehicle for mining applications with educational purposes.

## Desarrollo de un vehículo terrestre no tripulado teleoperado para aplicaciones de minería con fines educativos.

J. Villanueva-Maldonado<sup>\*1</sup>, Jorge Simón<sup>1</sup>, E. Francisco Rivera-Gomez<sup>2</sup>, Roberto Solís-Robles<sup>2</sup>, Raúl Chavéz-Romero<sup>3</sup>, José Ricardo Gómez-Rodríguez<sup>3</sup>, Víktor Iván Rodríguez-Abdalá<sup>3</sup>, Cristian Eduardo Boyain y Goytia-Luna<sup>3</sup>, and J. Flores-Troncoso<sup>3</sup>

<sup>1</sup> Investigadoras e Investigadores por México, Consejo Nacional de Humanidades, Ciencias y Tecnologías, Universidad Autónoma de Zacatecas, Zacatecas, Mexico,

juvenal.villanueva@uaz.edu.mx, jsimonro@conahcyt.mx

<sup>2</sup> Universidad Autónoma de Zacatecas, Unidad Académica de Ingeniería Eléctrica, Zacatecas, México,

{pacorivera, rsolis}@uaz.edu.mx

<sup>3</sup> Universidad Autónoma de Zacatecas, Unidad Acad. de Ing. Eléctrica, Posgrado en Ing. para la Innovación Tecnológica, Zacatecas, México,

{rchavez, jrgrodri, abdalá, cristian.boyain, jflorest}@uaz.edu.mx

### Abstract

This work describes aspects related to the development of an “Unmanned Ground Vehicle” (UGV), it has an independent traction system on all six wheels, and four of them have a rotating system to give direction to the vehicle. The rotation of the tires on their own axis reduces overstress on the motors, which reduces energy consumption when rotating and provides better movement, unlike vehicles that work with a difference in speed. In addition, there is a bilateral radio frequency communication system for telemetry and command control. This connects to a terrestrial base that has a graphical user interface to be able to view the received data, telemetry and the video image, in real time. A robotic arm of the SCARA type with four degrees of freedom is also presented, which is integrated into the mobile that allows for work to collect objects as well as drilling in areas of different soil surfaces due to its double effector system. The design features pieces developed through 3D printing.

**Keywords**— UGV, mobile robot, SCARA,

### Resumen

En el presente trabajo se describen los aspectos relacionados al desarrollo de un “Vehículo Terrestre no Tripulado” (UGV, por sus siglas en inglés), que cuenta con un sistema de tracción independiente en las seis ruedas, donde cuatro de ellas presentan un sistema de dirección independiente. La dirección independiente permite reducir el sobre-esfuerzo en los motores, lo cual reduce el consumo de energía al virar y brinda un mejor desplazamiento, a diferencia de los vehículos que trabajan con diferencia de velocidad. Además, se tiene un sistema de comunicación de radiofrecuencia bilateral para la telemetría y el control de comandos que se conecta a una base terrestre donde una interfaz gráfica de usuario visualiza los datos recibidos, de telemetría y la imagen de video, en tiempo real. También se presenta un brazo robótico del tipo SCARA de cuatro grados de libertad el cual está integrado al móvil que con un sistema de doble efector realiza trabajos de perforación y recolección de muestras en diferentes tipos de suelos.

**Palabras clave**— UGV, robot móvil, SCARA

## I. Introducción

Los robots móviles son una variante interesante en la familia de los robots, que pueden ser terrestres, aéreos, acuáticos y espaciales. Se suele distinguir estos sistemas por sus características como lo es la capacidad de carga, desplazamiento en terrenos no estructurados, larga autonomía [1]. En la actualidad, la robótica móvil tiene una amplia variedad de Vehículos terrestres no tripulados (UVG, por sus siglas en inglés), debido principalmente a que estos vehículos pueden ser fácilmente utilizados para apoyar o reemplazar a los seres humanos en situaciones peligrosas, donde se necesita una gran fuerza o destreza, o transitar por espacios donde los humanos no puedan ingresar, por ejemplo, en el manejo y colocación de explosivos, la desactivación de bombas [2].

A nivel mundial, la robótica se utiliza en diferentes sectores, como el de la salud, en la industria, electrodomésticos y, aeroespacial. En el sector industrial el uso de robots cada vez es mayor, ya que en este sector la mayoría de las tareas a realizar son acciones repetitivas dentro de áreas controladas, lo que favorece en la programación de los robots. Por ejemplo, en el sector agrícola cada día surgen nuevos sistemas móviles autónomos que realizan una actividad específica, como fumigación, recolección de frutos, pulverización, detección de enfermedades, entre otras. Así también, el sector minero es una área donde la robótica puede aportar un gran beneficio debido a que parte de sus actividades en este sector ponen en riesgo la vida de las personas [3], [4]. Mientras que el avance de la industria aeroespacial depende en gran medida de la robótica [5]. En la actualidad, una de las misiones más atractivas en este sector se encuentra en los viajes espaciales y específicamente en la exploración a Marte, ya que este planeta es un destino rico en términos de descubrimiento científico y un primer paso para ampliar nuestra presencia en el sistema solar [6].

El presente trabajo tiene como objetivo mostrar el diseño y desarrollo del prototipo de un robot móvil con un sistema de perforación y recolección de muestras de suelo, el cual puede ser teledirigido hasta una distancia de 1 Km. También el móvil cuenta con un sistema de video en tiempo real para observar el terreno por donde el vehículo está circulando y que permite que el usuario pueda controlarlo, así mismo cuenta con un sistema de comunicación bidireccional que permite enviar datos de telemetría al centro de comando para poder monitorear su estado y otros parámetros.

El artículo está organizado de la siguiente manera: en la sección II se presenta la metodología, sobre el cual se desarrolló el robot. En la sección III contiene la construcción y algunos resultados experimentales que permiten

evaluar el funcionamiento del robot, y finalmente en la sección IV se presentan las principales conclusiones y los posibles trabajos futuros.

## II. Metodología

El trabajo desarrollado se divide en tres etapas: en la primera se realizó el diseño estructural, aquí se muestra los modelos mecánicos en 2D y 3D del robot los cuales se realizaron utilizando un software CAD. En la segunda etapa se muestra el proceso de construcción y finalmente en la tercera etapa se presentan las pruebas de funcionalidad de cada uno de los sistemas de forma independientemente, así como el comportamiento en conjunto.

### II.1. Diseño

Para el diseño del móvil se tomaron en consideración, que sea capaz de recorrer terrenos estructurados y semi-estructurados, tener la capacidad de realizar trabajos de perforación y recolección de muestras de suelo, así como cumplir con las siguientes características:

- Peso: Máximo 50 kilogramos
- Longitud: Contar con dimensiones de 120x100x54 cm (Largo, Ancho, Alto).
- Capacidad de carga: carga 10 kilogramos y de arrastre hasta 20 kilogramos.
- Sistema modular.
- Bajo costo en comparación de otros[4], [7].

El diseño propuesto se puede observar en la Figura 1. Este diseño se dividió en cuatro sistemas,

1. Sistema Móvil
2. Sistema de Perforación y Recolección.
3. Sistema de Control.
4. Sistema de Comunicación.

englobando de esta manera el trabajo, lo que permite abordar su desarrollo en paralelo.

#### 1. Sistema Móvil.

El sistema móvil está conformado por tres partes importantes, las cuales son: el chasis, suspensión y el sistema de dirección.

##### a) *Chasis.*

El diseño del chasis se realizó en dos secciones, la primera sección corresponde al diseño del cuerpo del móvil. Su diseño permite aprovechar el espacio para poder colocar los componentes electrónicos, las baterías y el sistema de comunicación. Mientras que la segunda sección es una

\*Autor de correspondencia



Figura 1: Diseño del proyecto Hunter VENT

estructura exterior, con una mayor dimensión de la cual se sujetará el sistema de suspensión al cuerpo.

En ambos diseños estructurales se realizaron de manera que puedan ser fabricados con perfiles cuadrado y solera de aluminio, dado que sus características físicas y mecánicas deben permitir que el chasis sea ligero y resistente para cumplir con las restricciones de peso (ver la Figura 2).



Figura 2: Diseño estructural del chasis.

**b) Sistema de suspensión.**

El sistema de suspensión está basado en el sistema Rocker-Bogie, el cual es un mecanismo implementado en algunos robots enviados al espacio [8]. Este sistema se compone de dos piezas unidas en un pivote que les permite tener libertad de giro. La sección del Rocker es la pieza que permite balancear el cuerpo para controlar la estabilidad del robot. Mientras que el Bogie es la sección que contiene el conjunto de dos ruedas, y en ocasiones puede tener más pares. El chasis se mantiene con un ángulo promedio entre los dos balancines, mientras que las ruedas mantienen el contacto con el suelo como se puede ver en la Figura 3. En el caso de las ruedas, estas tienen la finalidad de absorber las irregularidades del terreno por lo que se diseñaron de manera que soporte el peso del vehículo sin deformarse y fueron fabricadas por medio de

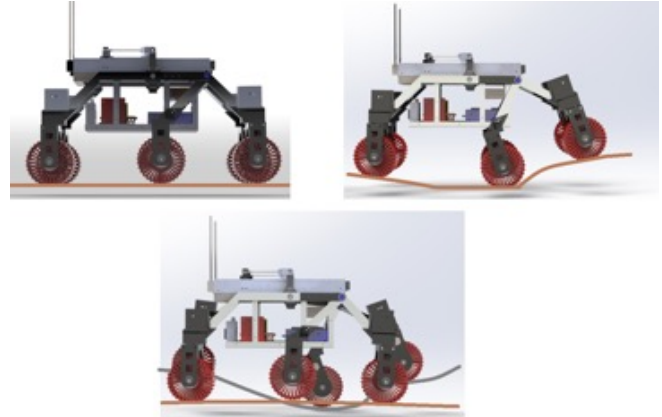


Figura 3: Sistema de Rocker-Bogie

impresión 3D a base de poliuretano termoplástico que les permite ser flexible y soportar altas temperaturas (Figura 4).

La Figura 5 muestra el diseño del sistema de suspensión implementado, se puede observar que la unión del sistema de suspensión entre el lado derecho e izquierdo se realiza por medio de la barra central que está unida a la estructura exterior.

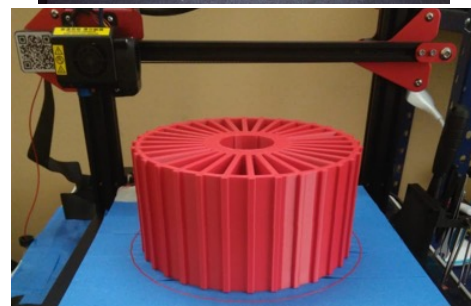
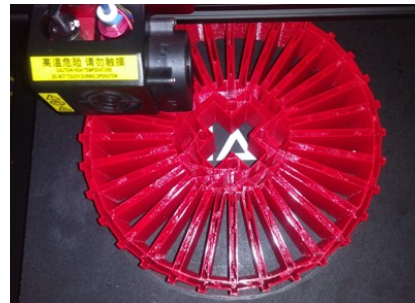


Figura 4: Llanta impresa en TPU

**c) Sistema de dirección.**

El sistema de dirección consta de cuatro ejes con servomecanismos, cuya función es la orientación de ruedas para poder dar dirección y guiar correctamente el móvil, esto permite disminuir el esfuerzo en el sistema de tracción. Para avanzar o retroceder. Los ejes alinean las



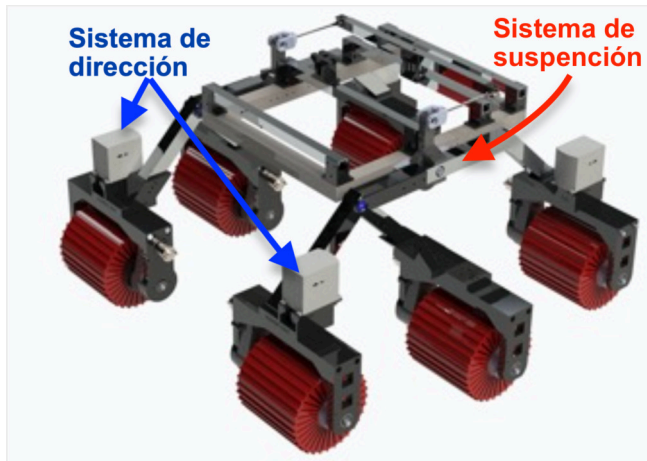


Figura 5: Sistema de dirección y suspensión

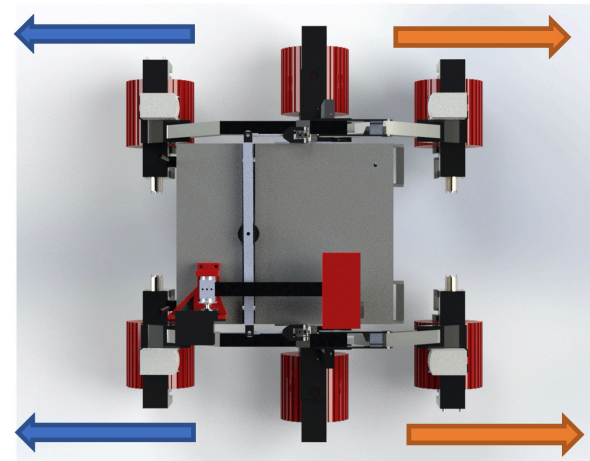


Figura 6: Avance y retroceso

ruedas que podrán avanzar o retroceder según la polarizada de los motores, como se observa en la Figura 6, mientras que para dar vuelta las llantas giran en su propio eje y se posicionan en un ángulo interno de  $45^\circ$  donde los motores se accionan en direcciones diferentes, las ruedas del lado izquierdo giran hacia un sentido mientras que los del lado derecho giran en sentido contrario como se puede muestra en la Figura 7.

Las seis ruedas del vehículo mide  $20\text{ cm}$  de diámetro y  $20\text{ cm}$  de ancho y cada una puede ser controlada de forma independiente por un servomotor. Las ruedas están unidas al chasis por medio de un eje desmontable tipo C, que soporta toda la carga y la distribuye en el eje central de las ruedas con un arreglo estructural que evita que los motores carguen el peso del vehículo, mientras que los ejes rotatorios se conforman por un soporte estructural que envía las cargas mecánicas al centro de la rueda y permite que el eje tenga mayor resistencia y evita que el motor no se sobre esfuerce, como se observa en la Figura 7.

## 2. Sistema de perforación y recolección.

El sistema de Perforación y Recolección utiliza un brazo robótico del tipo SCARA de cuatro grados de libertad, y presenta un sistema de dos efectores finales, uno realiza la acción de perforar mientras el otro permite recolectar objetos.

### a) Brazo Robótico SCARA.

El nombre del robot SCARA proviene del acrónimo en inglés de “Selective Compliance Articulated Robot Arm”. El diseño de nuestro brazo es capaz de maniobrar en los ejes X, Y, Z dentro de un ángulo de movimiento de  $180^\circ$  grados en la articulación 2 y de  $220^\circ$  en la articulación 3, y está diseñado para que el avance y la penetración del taladro realice sobre el eje Z lo más vertical y estable

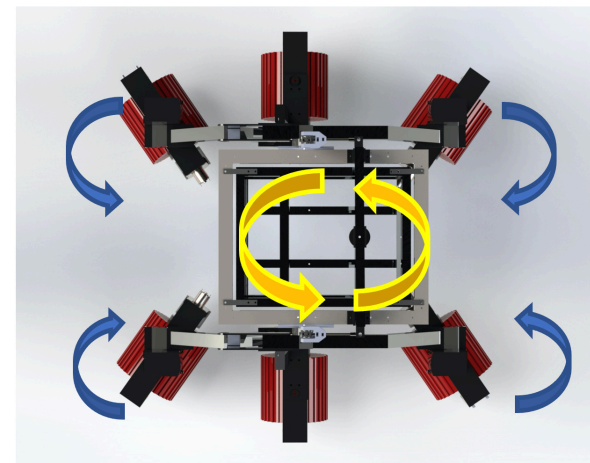


Figura 7: Giro en su propio eje

posible, esto para proteger la herramienta de corte y simplificar el control requerido. Su diseño cuenta con cuatro grados de libertad (LRRL) como se muestra en la Figura 8. El primero grado es lineal y se desplaza en el eje Z en un rango de altura de  $0 - 70\text{ cm}$ , su tarea es levantar todo el peso de la estructura del resto de los eslabones. Los dos grados siguientes son rotacionales y permiten desplazar el brazo en los ejes (X, Y), finalmente el cuarto grado de libertad es lineal y está conformado por un actuador, que sujeta a los efectores finales, los cuales se desplazan una distancia aproximada de  $20\text{ cm}$ . En la Figura 9 se presenta los elementos que conforman el brazo, donde

- 1.) Eslabón 1.
- 2.) Eslabón 2.
- 3.) Eslabón 3.
- 4.) Eslabón 4.
- 5.) Tornillo de potencia.

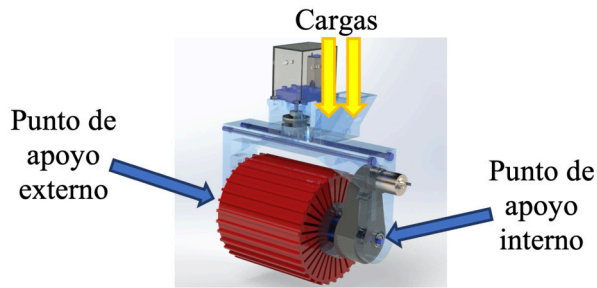


Figura 8: Cargas sobre el eje rotatorio

- 6.) Husillo de bolas recirculantes.
- 7.) Guías.
- 8.) Motorreductor.
- 9.) Servomotor.
- 10.) Actuador lineal.

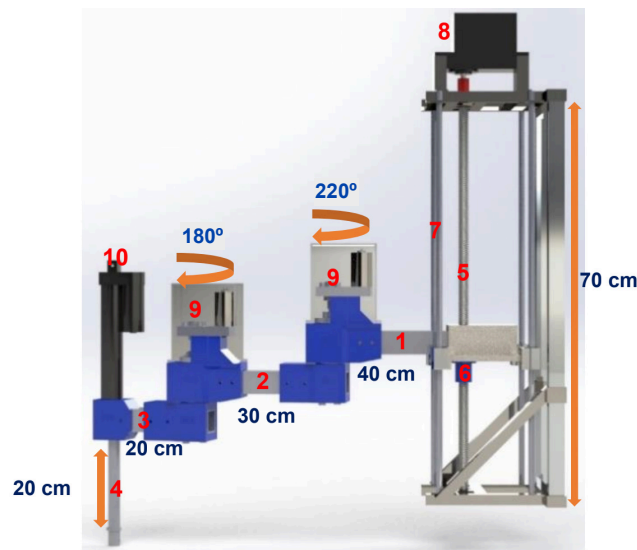


Figura 9: Diseño del brazo robótico tipo SCARA

**b) Efecto Final Múltiple.**

La utilización de dos efectores finales unidos permite realizar dos tareas de forma precisa y ágil permitiendo que cada efector sea operativo sin necesidad de perder tiempo en cambiar de herramienta o necesitar de un operador para realizar dicha operación.

La fabricación de los efectores finales está compuesta en su mayoría por piezas impresas en 3D, y parte de 3 piezas fundamentales, la primera es un soporte plástico impreso con una alta densidad de aproximadamente 50 % que sujeta a la pinza y al taladro que pueden rotar con dos servomotores MG995 instalados.

- El taladro es el elemento que nos permite simular la operación de máquina que realiza perforaciones (ver la Figura 10). Esta herramienta

realiza perforaciones cilíndricas en un material o superficie determinada por ejemplo madera, caliza o arcilla, utilizando como herramienta una broca con un máximo de diámetro hasta de 3/8 de pulgada.

- El Gripper es un sistema de dos palas electromecánica que permite tomar objetos con un rango máximo de abertura de tenazas de 50mm de alto por 50mm de ancho como se muestra en la Figura 10, la cual está fabricada mediante impresión 3D para aligerar el peso del brazo.

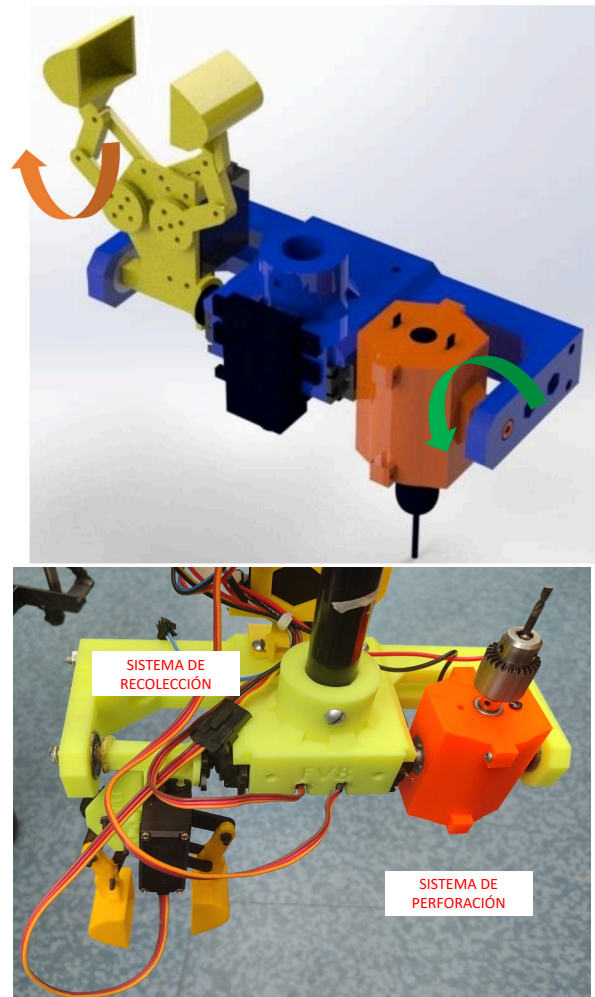


Figura 10: Sistema de Doble Efector.

**3. Sistema de Control.**

La etapa de control se dividió en tres sistemas generales: el control del móvil, el control del brazo robótico y sistemas de telemetría. A su vez, estos se dividen en subsistemas que desarrollan una tarea específica, controlados por un sistema general.

El sistema de control tiene como elemento principal, una placa de desarrollo con cuatro microcontroladores,

- a) *ATmega2560* para el módulo de telemetría,
- b) *CortexM3 ARM* para el sistema móvil,
- c) *ATmega328* para el control de la torre de video y finalmente
- d) *ATmega2560* para el control del sistema de perforación y recolección (brazo).

También se cuenta con un módulo de seguridad, el cual se divide en Alimentación, Protección de los componentes electrónicos, Regulación y Distribución, como se muestra en la Figura 11. Por ejemplo, en el módulo de alimentación se tiene las baterías, en el módulo de protección se encuentran los fusibles y los relevadores para activar y desactivar las baterías, mientras que en el módulo de regulación se encarga de regular el voltaje de las baterías para alimentar el resto de los componentes que utilizan menor voltaje y finalmente el de distribución que se encarga de alimentar a todos los elementos y sistemas dentro del robot.

#### 4. Sistema de Comunicación.

La etapa de comunicación está basada en tres partes; la primera es la base terrestre (centro de mando), la segunda es el sistema de telemetría que permite obtener los datos enviados del móvil al centro de mando, y la tercera parte se refiere al sistema de video que permite operar a distancia el móvil, así como el brazo.

##### a) *Base terrestre*

La base terrestre es el medio de interacción usuario-máquina, que permite monitorear, controlar y observar el UGV, el brazo y los datos de telemetría. Cuenta con una pantalla principal donde se pueden observar los parámetros fundamentales, como: velocidad, posición, inclinación, temperatura, entre otros, así como el video para operar el móvil o el brazo, según sea el caso. En las pantallas secundarias se tiene los parámetros adicionales que permiten analizar lo que sucede alrededor del vehículo, como los sistemas activados o el modo de funcionamiento. También cuenta con un control de comandos portátil, el cual tiene un peso aproximado de  $8\text{ Kg}$ . Éste opera a dos frecuencias, los mandos de control operan a una frecuencia de  $2.4\text{ GHz}$  con un alcance máximo de hasta  $2\text{ Km}$  (con línea de vista), mientras que la telemetría trabaja a  $915\text{ MHz}$  con una distancia de operación de hasta  $10\text{ Km}$ .

##### b) *Módulo de telemetría*

El módulo de telemetría es un sistema embebido capaz de medir: temperatura, velocidad, inclinación, estado de la batería, presencia de objetos a  $450\text{ cm}$  y la distancia a la

base, mientras envía los datos en tiempo real al centro de mando. Así también, se puede activar de forma remota: iluminación, ventiladores, motores y algunos otros accesorios. Este módulo está basado en un microcontrolador *ATMega328* y un módulo de comunicación inalámbrica LoRa, el cual permite tener una conexión bilateral de hasta  $20\text{ Km}$  con un bajo consumo de energía.

##### c) *Torre de video*

La torre de video cuenta con una cámara de video la cual tiene como fin dar una visión al operador del entorno en el que se encuentra. así como la facultad de dirigir el vehículo. Además, la torre cuenta con un mecanismo de tres grados de libertad que permite elevar y rotar la cámara lo cual aumenta o disminuye el campo de visión de la cámara (ver Figura 12). Las imágenes pueden observarse en un monitor dedicado. La torre de video cuenta con un sistema de iluminación nocturna, un apuntador laser para ayudar a enfocar al objetivo, dos sensores ultrasónicos para determinar la distancia del objeto, un módulo IMU para medición inercial y determinar el movimiento del cabezal de la torre de video.

### III. Resultados

Los resultados obtenidos se dividen en dos secciones, en la primera se habla de la construcción mientras en la segunda se muestran los resultados de las pruebas realizadas.

#### III.1. Construcción

La etapa de la construcción se dividió en cuatro Fases.

##### Fase 1: *Sistema Móvil*

En la Fase 1 se construyó la parte medular del proyecto, que es la fabricación del vehículo sobre el cual se montaran cada uno de los sistemas que integran al Rover (ver la Figura 12).

##### Fase 2: *Sistemas de Control*

En la Fase 2 se presenta la construcción del sistema de control, el cual se diseñó y desarrollo de forma modular, asignando un código de colores para identificar cada sección, donde el desarrollo de los módulos de potencia y de alimentación fueron primordiales para manejar y controlar el robot como se muestra en la Figura 13.

##### Fase 3: *Sistemas de Comunicación.*

En la Fase 3 se desarrolla el sistema de comunicación para transmitir y recibir los datos en tiempo real, en la Figura 14 se observa la estructura interna del módulo de telemetría mientras que en la Figura 15 muestra el módulo de la base terrestre. El sistema de la base terrena

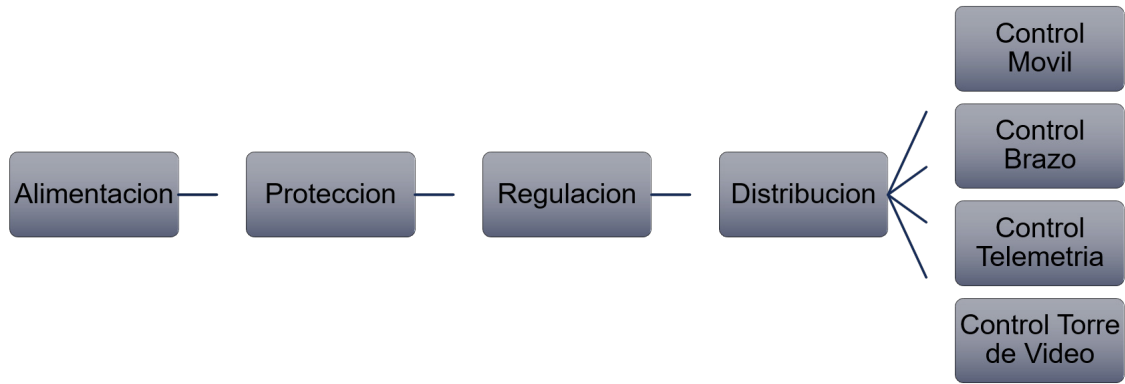


Figura 11: Diagrama de bloques del sistema de control.

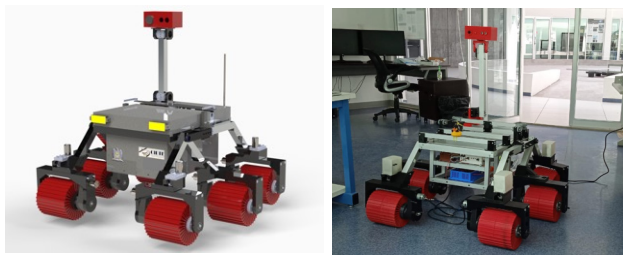
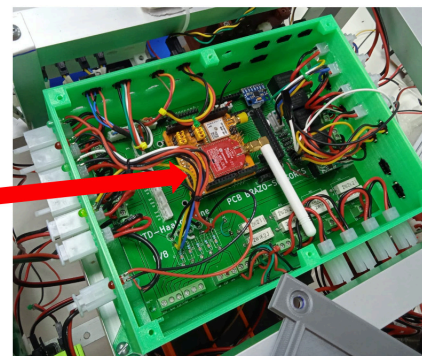


Figura 12: Construcción de sistema móvil y torre de video



Módulo de radiofrecuencia (LoRa)

Figura 14: Módulo de telemetría.

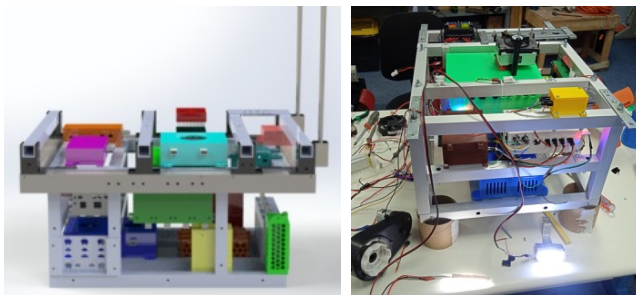


Figura 13: Construcción de módulos internos

cuenta con siete paneles: Panel Alimentación (recuadro amarillo), Panel Voltaje (recuadro morado), Panel principal (recuadro rojo), Panel secundario (recuadro verde), Panel de control móvil (recuadro azul fuerte), panel de control brazo (recuadro azul claro) y el panel de potenciómetros (recuadro rosa).

#### Fase 4: Sistema de Perforación y Recolección.

Finalmente, en la fase 4 se desarrolla el sistema de Perforación y Recolección probando los efectores finales que bajan a una velocidad de  $5\text{ m/s}$ , aún en etapa de desarrollo (ver Figura 16).

### III.2. Pruebas

La verificación del funcionamiento del UGV se llevó a cabo mediante pruebas experimentales en diferentes etapas. Los sistemas se desarrollaron de forma individual para asegurar su funcionamiento y posteriormente se montaron para pruebas en conjunto.

#### 1. Pruebas del Desplazamiento en Terreno.

Las pruebas de desplazamiento en terreno ayudan a conocer cómo se comporta el sistema de locomoción en los dos tipos de terreno para los que fue diseñado, específicamente, estas pruebas nos indican si el diseño eléctrico y mecánico del robot fueron correctamente elaborados. Así también, las pruebas permitieron comprobar en dos maneras el funcionamiento del robot móvil, con la primera se pudo comprobar que el sistema de comunicación realiza una buena transmisión de los comandos al sistema robótico, el cual, recibe las órdenes de control enviadas desde la base terrestre para posteriormente ejecutar movimientos básicos como: avance, retroceso, vuelta a la izquierda y vuelta a la derecha. De esta manera se pudo comprobar el funcionamiento de los motores que se encuentran en las llantas y las articulaciones. En la Figura

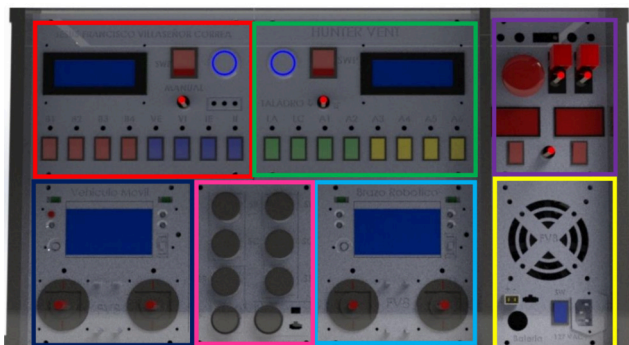


Figura 15: Sistema de Base terrestre

17a se observa el posicionamiento correcto de los cuatro ejes rotatorios de manera que el robot pueda realizar el giro en ambos sentidos.

Se llevaron cabo dos pruebas de campo, la primera prueba de terreno se desarrolló en una carretera pavimentada con concreto (ver Figura 17b), debido a que es un suelo plano y estructurado de fácil circulación lo que es ideal para las primeras pruebas de campo, presentando una velocidad de  $5\text{ m/s}$ . En la segunda prueba de terreno se desarrolló en un sendero irregular el cual está conformado por arena y rocas pequeñas (ver Figura 17c). Se eligió este tipo de suelo debido a que presenta irregularidades que someten al sistema de locomoción a mayores esfuerzos al desplazarse a través de él. En este tipo de terreno se desplazó con una velocidad de  $2\text{ m/s}$ , posterior a romper la inercia inicial. Durante la prueba los ejes rotatorios presentaron un esfuerzo mayor en el giro debido a la rugosidad del terreno y el peso del propio Rover.

## 2. Prueba del Sistema de Comunicación.

Las pruebas del sistema de comunicación permitieron comprobar el enlace entre el robot y la base terrestre, así como identificar la distancia máxima de conexión de los sistemas de radiofrecuencia integrados. Para ello se realizaron dos pruebas de verificaciones: el envío y recepción de datos y la transmisión de video.

### a) Envío de datos

Para verificar la conexión y el alcance de la base terrestre se enviaron los comandos (Figura 18a) de activación de los ventiladores para enfriar el sistema de energía (Figura 18b), así como de cada elemento como son luces (Figura 18c), láser, etc. Al encender cada elemento, se comprobó la recepción de los comandos en el móvil.

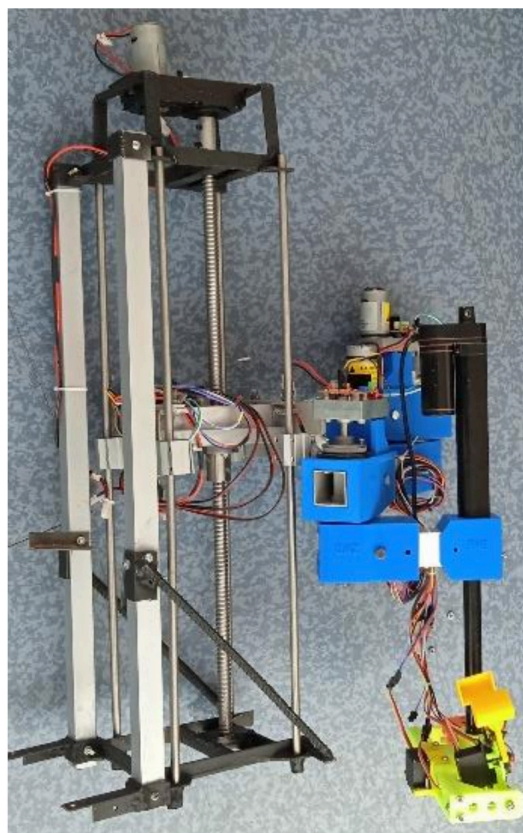


Figura 16: Construcción de brazo robótico

### b) Recepción de telemetría y video

La comunicación entre la base terrestre y Rover es bilateral, lo cual permite enviar y recibir información de forma simultánea. Al realizar las pruebas de campo, y en el momento que se realiza la conexión, la base terrestre comienza a recibir los datos de telemetría de los sensores integrados en el Rover, los cuales son: temperatura, humedad, velocidad, distancia y el estado de las baterías. Estos se despliegan en una pantalla LCD en tiempo real (Figura 19). La transmisión de comandos presentó un retardo de  $2\text{ s}$  mientras que para sistema de telemetría fue de  $4\text{ s}$  a una distancia de  $1\text{ Km}$ .

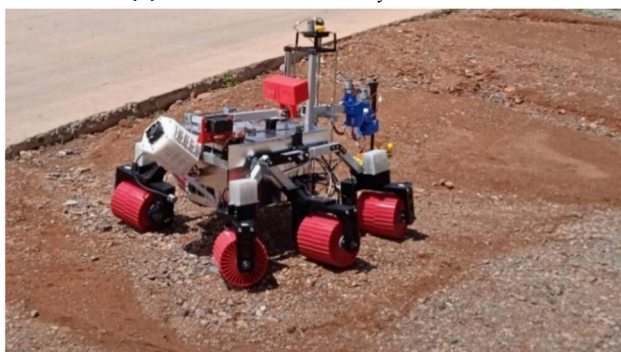
Considerando que un Rover debe realizar exploraciones en terrenos desconocidos, observar el área e identificar las zonas por donde transita es esencial para el sistema móvil, para ello, la base terrena debe recibir imágenes de video desde el móvil (Figura 20). Este sistema cuenta con dos cámaras, una cámara principal que se encuentra en la torre de video con el objetivo de poder visualizar el área, y una segunda cámara que se encuentra ubicada en el efector final para controlar de mejor manera las tareas de recolección y perforación. Para observar la imagen de la cámara principal se utiliza un monitor estándar (ver Figura 20a), y para la cámara secundaria se



(a) Desplazamiento en terreno estructurado.



(b) Posicionamiento de los ejes rotatorios.



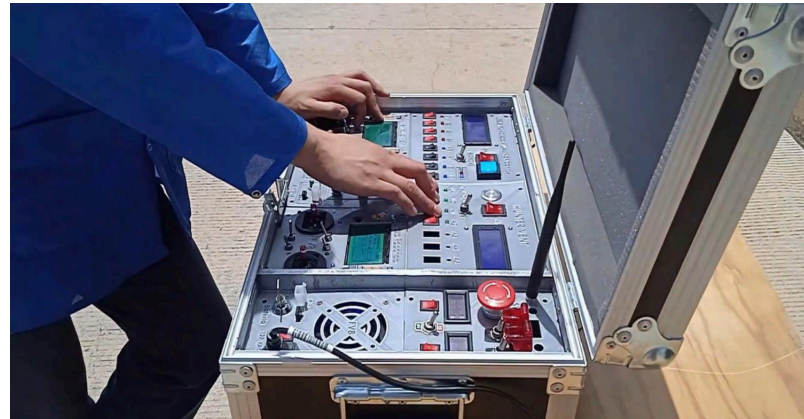
(c) Desplazamiento en terreno semiestructurado

**Figura 17:** Pruebas del Sistema de Locomoción.

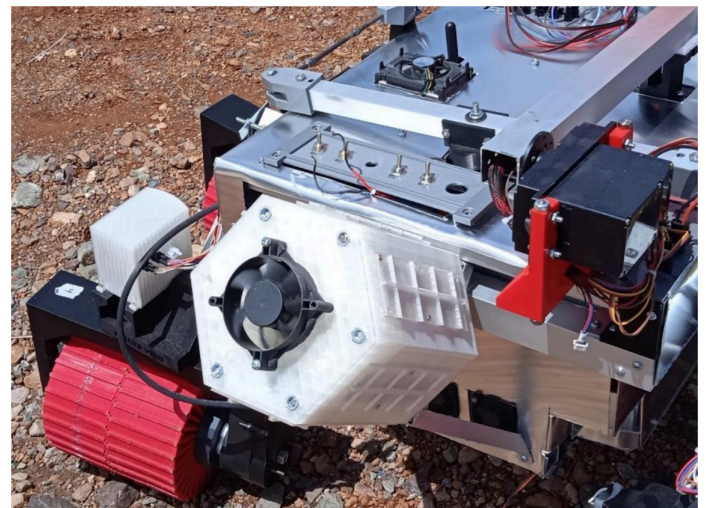
utilizan gafas FPV (por sus siglas de "First-person view") que le permite al operador una mayor concentración (Figura 20b). Para este caso, el atraso que se tuvo en la transmisión del video fue de 5 s para 1 Km.

### 3. Pruebas de Perforación y Recolección

En las pruebas del sistema de perforación y recolección



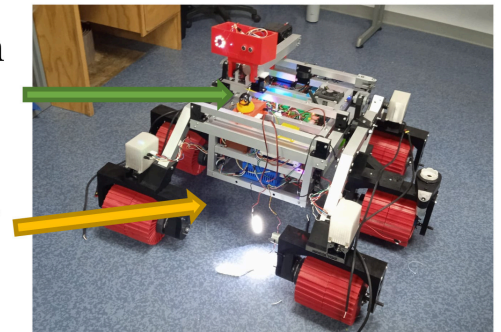
(a) Transmisión; activación de los ventiladores externos de enfriamiento.



(b) Activación del ventilador del sistema de energía.

Iluminación  
interna

Iluminación  
externa



(c) Iluminación.

**Figura 18:** Pruebas del Sistema de Comunicación; envío de comandos.

se realizaron pruebas independientes para evaluar el desempeño de cada una de las herramientas.

#### a) Prueba de recolección

La prueba de recolección nos permitió conocer la funcionalidad del sistema de pinza con cuchara bivalva. Se



Figura 19: Recepción; información del estado de las baterías del robot.

realizó el levantamiento de una roca irregular del tamaño máximo que permite la pinza, un aproximado de 5 cm. En la Figura 21 se observa como el efector se posiciona para sujetar la roca.

a) Prueba de perforación

La prueba de perforación permitió observar el comportamiento del brazo cuando el taladro esta activado, principalmente cuando este se encuentra perforando sobre una superficie de tierra. Para ello se utilizó una broca de concreto de 3/16 in encendiendo el taladro sobre una sección de suelo rocoso, la penetración se realizó de forma lenta y progresiva, logrando una profundidad aproximada de 10 cm (Figura 22).

IV. Discusión y conclusión

Se presenta el desarrollo de un prototipo de sistema móvil tipo Rover, el cual cuenta con un sistema de telemetría, un centro de mando portátil, un brazo robótico tipo SCARA y un sistema de dos efectores, para la perforación y recolección de muestras de suelo. El diseño modular permite reducir el tiempo de armado, y facilita el reemplazo de cada módulo ante posibles fallas errores. Este trabajo pretende ser una herramienta que permita impulsar la investigación en el sector espacial, así como en la educación en ingenierías como: Mecánica, Electrónica, Telecomunicaciones, Robótica, Mecatrónica, Control, entre muchas otras relacionadas con este tipo de proyectos.

Para la estructura se utilizó impresión 3D para la manufactura de piezas para unir eslabones del chasis, del brazo y de la suspensión. Esto permitió la construcción en menor tiempo de piezas complicadas y específicas. Entre las más importantes están los soportes de las llantas, que les permite rotar sobre su propio eje y tener un mejor desplazamiento del vehículo en lugares reducidos o con



(a) Imagen Principal en Monitor.



(b) Prueba de Video con Gafas FPV.

Figura 20: Recepción de video.

obstáculos. En las pruebas finales se observaron dos problemas principales; el primero se presentó en el sistema de suspensión Rocker Bogie, debido a que el peso del robot no quedo centrado sobre las llantas, provocando que el esfuerzo se de sobre un costado de las llantas provocando que se abra la suspensión y con riesgo de quebrarse. El segundo problema se presentó en el sistema de energía, ya que en ambientes semiestructurados el robot presentó problemas en el desplazamiento debido a que las baterías no suministran la energía necesaria para que los motorreductores generen el par necesario, problema que es fácil de resolver al colocar un número mayor de baterías o reemplazar estas con otras de mayor capacidad.

Para trabajos futuros, se sugiere hacer un mejor diseño estructural debido a que el uso de la impresión 3D no es



Figura 21: Recolección.



Figura 22: Perforación.

aplicable en ciertas pruebas de resistencia, también en la parte de control debe agregarse un sistema de reconocimiento y procesamiento de imágenes para aumentar la autonomía.

También se pretende integrar un sistema que permita determinar la distancia de un objeto o una superficie utilizando un sistema láser pulsado garantizando que el robot pueda navegar en ambientes estrechos o con obstáculos fijos o en movimiento, además de reemplazar el sistema de video principal y el video secundario por uno de mayor resolución y de largo alcance.

Además, se pretende instalar un microcontrolador con mayor potencia de procesamiento para ejecutar instrucciones de control de mayor complejidad utilizando algoritmos de IA (Inteligencia Artificial), que le permita al prototipo autonomía en la toma de decisiones de movimiento en diferentes situaciones en campo abierto.

## V. Agradecimientos

Los autores agradecen al Centro Regional de Desarrollo Espacial de la Agencia Espacial Mexicana ubicado en la ciudad de Zacatecas (CREDES-Zacatecas) y a la Universidad Autónoma de Zacatecas (UAZ) por brindar acceso a laboratorios e infraestructura, a través de los cuales fue posible este proyecto. Además, gracias al Consejo Nacio-

nal de Ciencias, Humanidades y Tecnología (CONAHCYT) por su apoyo a través de su programa *Investigadores e Investigadoras por México*, (IxM).

## Referencias

- [1] U. d. Alcalá. *Master en industria 4.0*. 2019. URL: <https://www.masterindustria40.com/robots-master-robotica/>.
- [2] R. MILITAR. *ROBOT MILITAR*. 2019. URL: <https://www.robotmilitar.org/>.
- [3] Craig A. James et al. «Tele-operation of a mobile mining robot using a panoramic display: an exploration of operators sense of presence». En: *2011 IEEE International Conference on Automation Science and Engineering* (2011), págs. 279-284. DOI: 10.1109/CASE.2011.6042427.
- [4] R. MILITAR. *Fire Fighting Robot Colossus Helps Save Notre Dame*. Abr. de 2019. URL: <https://yellrobot.com/fire-fighting-robot-colossus-notre-dame-cathedral/>.
- [5] G. Braun F. Krebs L. Larsen y W. Dudenhausen. «Design of a multifunctional cell for aerospace CFRP production». En: *The International Journal of Advanced Manufacturing Technology* 85 (2014), págs. 17-24.
- [6] S. Hoffman B. Drake y D. Beaty. «Human exploration of Mars, Design Reference Architecture 5.0». En: *2010 IEEE Aerospace Conference* (2010).
- [7] Roboryx.com. 2019. URL: [https://www.roboryx.com/details.php?product\\_id=3&title=inuktun-maggut](https://www.roboryx.com/details.php?product_id=3&title=inuktun-maggut).
- [8] NASA. 2020. URL: <https://mars.nasa.gov/mars2020/>.



# Development of a configurable soft microcontroller based on ISA RISC-V

## Desarrollo de un microcontrolador soft configurable basado en el ISA RISC-V

Ismael Hurtado Martínez<sup>1</sup>, Remberto Sandoval Aréchiga<sup>1</sup>, José Ricardo Gómez Rodríguez<sup>1</sup>, Víktor Iván Rodríguez Abdalá<sup>1</sup>, Oscar Osvaldo Ordaz García<sup>1</sup>, Cristian Eduardo Boyain y Goytia Luna<sup>1</sup>, and Salvador Ibarra Delgado<sup>\*1</sup>

<sup>1</sup>Universidad Autónoma de Zacatecas, Unidad Académica de Ingeniería Eléctrica,  
Posgrado en Ingeniería para la Innovación Tecnológica,  
Jardín Juárez, 148, Col. Centro, Zacatecas, Zacatecas, México, CP.98000  
{36171075,rsandoval,jrgrodri,abdala,oscarordazg,cristian.boyain,sibarra}@uaz.edu.mx

### Abstract

RISC-V is an open source architecture for the development of RISC type processors. In this work, based on the RISC-V 32I architecture, a configurable soft microcontroller is developed under the AMD-Xilinx Vivado development platform. The system allows the development of peripheral device blocks that can be added to the RISC-V processor using Vivado's IP Integrator tool, enabling rapid customization of the microcontroller. The way to integrate the peripherals to the processor is through the AXI-Lite interface, which in our proposal allows saving AXI slaves, especially in the integration of timers and PWMs.

**Keywords**— RISC-V, microcontrollers, soft processor

### Resumen

RISC-V es una arquitectura de uso libre para el desarrollo de procesadores tipo RISC. En este trabajo, tomando como base la arquitectura RISC-V 32I, se desarrolla un microcontrolador soft configurable bajo la plataforma de desarrollo Vivado de AMD-Xilinx. El sistema permite desarrollar bloques de dispositivos periféricos que pueden ser añadidos al procesador RISC-V utilizando la herramienta IP Integrator de Vivado, lo que permite una rápida personalización del microcontrolador. La forma de integrar los periféricos al procesador es por medio de la interfaz AXI-Lite, que en nuestra propuesta permite el ahorro de esclavos AXI, especialmente en la integración de los timers y PWMs.

**Palabras clave**— RISC-V, microcontrolador, procesador suave

## I. Introducción

En tan solo un poco más de una década, el proyecto RISC-V (del inglés Reduced Instruction Set Computer V5) acuñado por la Universidad de California Berkeley, se ha posicionado fuertemente como un competidor más en la arena del desarrollo de unidades de procesamiento. Dentro de las características que le han permitido este rápido posicionamiento se pueden

mencionar: primera, proveer un conjunto de instrucciones ISA (del inglés, Instruction Set Architecture) libre y abierto, que le ha permitido ganar una gran cantidad de adeptos a nivel mundial; segunda, poseer un ISA modular a partir de uno de los núcleos principales base: RV32I, RV64I, RV128I o RV32E, lo cual permite estabilidad a ensambladores, compiladores, sistemas operativos, etc. y además permitir extensiones de hardware que se pueden incorporar de acuerdo a las aplicaciones que serán implementadas en el procesador.

Las características mencionadas anteriormente han per-

\* Autor de correspondencia

mitido por un lado, tener una comunidad muy amplia de colaboradores alrededor de la iniciativa, lo que ha llevado a grandes compañías a unirse activamente a esta iniciativa, solo por mencionar algunos: Google founding, Huawei, Intel, Qualcomm, ZTE, Bosh, NXP. Por otro lado, la modularidad que presenta la arquitectura permite que pueda ser utilizada y adoptada para diversas necesidades y aplicaciones que pueden ir desde: su uso para el desarrollo de microcontroladores de bajo consumo para aplicaciones del Internet de las cosas IoT (del inglés Internet of the Things), aplicaciones en la industria automotriz, aplicaciones para Inteligencia Artificial, hasta aplicaciones para su uso en dispositivos móviles, electrónica de consumo, infraestructura para centros de datos y computo en la frontera (Edge Computing, en inglés).

En este artículo presentamos el desarrollo de un microcontrolador basado en el núcleo RV32I que puede ser configurado bajo el entorno de desarrollo Vivado de AMD-Xilinx. Al procesador se le pueden integrar puertos paralelos de I/O de tamaño y mapa de direcciones personalizados. La misma flexibilidad se puede lograr con otros elementos como Timers y PWM.

El resto del artículo está organizado de la siguiente manera: En la sección II se presenta una descripción del ISA RISC-V y por otro lado alternativas de microcontroladores desarrollados con procesadores basados en ISA RISC-V. En la sección III se muestra nuestra implementación del núcleo RISC-V 32I. En la sección IV presentamos como los periféricos son integrados al procesador y como son integrados por medio de las herramientas de Vivado. Posteriormente, en la sección V se muestran los resultados y finalmente, en la sección VI presentamos los resultados.

## II. Marco Teórico

### II.1. ISA RISC-V

Una de las características principales del ISA RISC-V es su flexibilidad. Aunque el conjunto de instrucciones básico es de 32 bits, existen diferentes longitudes de tamaño de instrucción: 32 bits, 64 bits, etc. Una revisión detallada se puede encontrar en [1]. En este trabajo nos enfocamos en describir el ISA RV32I.

RV32I es el núcleo básico del ISA RISC-V, consta de 47 instrucciones para realizar operaciones de tipo entero. Como se indica en [2] Se tienen seis formatos de instrucciones básicos: tipo-R para operaciones entre registros; tipo I para inmediatos cortos y loads; tipo-S para stores; tipo-B para bifurcaciones; tipo-U para inmediatos largos; y tipo-J para saltos incondicionales. El formato de estas instrucciones se puede observar en la Figura 1.

Además, en [2] se indica que dentro de las principales características que se pueden mencionar con respecto al formato de las instrucciones se encuentran:

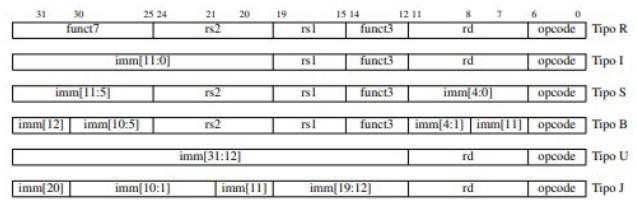


Figura 1: Formato de Instrucciones RISC-V fuente: [1]

- Solo existen seis formatos y todas las instrucciones son de 32 bits.
- Las instrucciones ofrecen operandos de tres registros, no tienen campos compartidos para origen y destino.
- En el formato de instrucción los bits de los registros a ser leídos y escritos siempre van en la misma posición para todas las instrucciones, esto implica que se puede acceder a dichos registros antes de la decodificación.
- Los campos inmediatos de estos formatos siempre son extendidos en signo, y el bit del signo siempre está en el bit más significativo de la instrucción.
- La arquitectura está diseñada para que *datapaths* similares compartan la mayor cantidad de bits posibles simplificando la lógica de control.
- Las direcciones de saltos siempre están corridas un bit a la izquierda para multiplicar la dirección por dos dando un mayor rango de memoria al RISC-V.
- El espacio de memoria es de 32 bits direccionables por byte.
- Todas las operaciones son entre registros.
- No hay instrucciones de multiplicación ni división.

RV32I contiene 32 registros de 32 bits cada uno (x0 - x31). El registro x0 siempre tiene el valor de 0. Esto último simplifica el ISA del RISC-V. Diferentes tipos de pseudoinstrucciones pueden ser ejecutadas tomando ventaja del registro x0. Un resumen de estas pseudoinstrucciones se puede encontrar en [2]

Una de las características más importantes de RISC-V son las extensiones que se pueden hacer del ISA, entre las que se pueden mencionar: RV32M, para multiplicación y división; RV32FD, para punto flotante de precisión simple y doble; RV32A, para operaciones atómicas; RV32C, para instrucciones comprimidas; RV32V para instrucciones vectoriales. La posibilidad de crear estas extensiones se debe principalmente a que el espacio destinado al código de operación ocupa menos de la octava parte del formato de la instrucción.

### II.2. Implementaciones soft RISC-V monociclo

Dadas las características del ISA RISC-V es común que la comunidad implemente procesadores con esta arquitectura sobre dispositivos lógicos programables. Estos

procesadores son denominados procesadores tipo *soft*, una de las principales características es que al ser implementados en esta tecnología los sistemas tienen la capacidad de ser reconfigurados, lo cual proporciona mucha flexibilidad. Existen diferentes formas de implementar estos núcleos de procesamiento desde monociclo que ejecutan una instrucción en un ciclo de reloj, hasta implementaciones pipeline que dividen la ejecución de las instrucciones en etapas con la finalidad de lograr un mayor rendimiento. En este trabajo el procesador utilizado como base del microcontrolador es un procesador monociclo, por lo cual centraremos nuestra investigación en este tipo de procesadores.

En [3] se realiza la implementación de un procesador RISC-V 32I sintetizado en una FPGA Spartan 3E XC3S500E para desarrollos de bajo costo. Los autores hacen uso de block RAM para generar la memoria de datos, no se especifica claramente bajo esta implementación como logran implementar las operaciones de *load* en un solo ciclo. Por su parte en [4] se hace la implementación del mismo núcleo de procesamiento en un SoC Zedboard. Al igual que el anterior utiliza memoria block RAM pero bajo una arquitectura Von Neumann, no queda claro como logran ejecutar las operaciones de *load* en un ciclo de reloj.

Por su parte en [5] presentan una plataforma que permite sintetizar diferentes núcleos RISC-V 32I. Uno de esto es el procesador monociclo. Los autores indican que para lograr que todas las operaciones se ejecuten en un ciclo de reloj, es necesario hacer uso de las LUT para implementar la memoria de datos, lo anterior además de limitar la frecuencia de trabajo, hace uso de un recurso muy valioso dentro del FPGA.

### II.3. Microcontroladores con CPU RISC-V

Diversos autores han presentado alternativas de desarrollo de microcontroladores: Duran et. al. en [6] muestran un microcontrolador basado en RISC-V de 32 bits sintetizado para una tecnología de 132nm que tiene como buses de comunicación AXI4-Lite y APB. El microcontrolador contiene un ADC de 10 bits, un DAC de 12 bits y un GPIO de 8 bits. El sistema contiene 4kB de memoria RAM y una interfaz SPI AXI para verificación. Los autores indican que su arquitectura puede ser utilizada en algunas tareas reemplazando el microcontrolador M0 de ARM.

Por su parte en [7] presentan una plataforma para el Internet de las cosas basada en el RISC-V de 32 bits que se presentó en [6], en esta propuesta integran protocolos de comunicación SPI, IIC, SDIO y JTAG. Su frecuencia máxima de operación es de 160MHz integran un ADC de 10bits y un DAC de 12 bits. Tienen un total de 8 puertos para GPIO.

Otra propuesta de un microcontrolador basado en el

ISA RISC-V lo presenta en [8] ellos desarrollan un microcontrolador en tecnología de 28nm poniendo especial atención a sistemas tolerantes a fallos en ambientes hostiles como es el espacio. Ellos presentan un microcontrolador que soporta la triple redundancia con núcleos RISC-V en caso de que las condiciones de operación necesiten resultados altamente confiables, si no es así, los núcleos RISC-V pueden ejecutar tareas independientes que pueden ser configurados en tiempo de ejecución. La memoria la protegen por medio de un método de corrección de errores (ECC, error correction code, por sus siglas en inglés) en cada uno de los bancos de memoria SRAM que utiliza. Desde el punto de vista de conectividad del microcontrolador, el sistema provee SPI, UART, GPIO, timer, JTAG. Sus resultados muestran que pueden operar a una frecuencia de operación de 250MHz con un consumo de potencia de 19.7mw.

En el trabajo presentado en [9] se realiza la implementación de un núcleo de procesamiento basado en RISC-V destinado a ser utilizado en microcontroladores. La mayoría de sus instrucciones son realizadas en un ciclo de reloj exceptuando las instrucciones de *load* que se ejecuta en dos ciclos, lo anterior debido a que la implementación de la memoria RAM se hace sobre memorias BRAM lo que impide hacer la escritura en un solo ciclo de reloj.

En el campo comercial existen diversas propuestas de microcontroladores basados en ISA RISC-V en [10] se encuentra el procesador personalizable NEORV32, este procesador cuenta con UART, SPI, PWM, GPIO, timer, watchdog, IIC. Desde la misma construcción del procesador este sistema es altamente configurable y además provee múltiples opciones para la configuración de memorias, timers, Entrada/Salida, y Conectividad

### III. Implementación RISC-V 32I monociclo

La base del microcontrolador desarrollado es un procesador monociclo con el ISA RV32I. En la 2 se muestra el diagrama principal de la arquitectura. Antes de describir nuestra implementación, es importante mencionar que el problema al que nos enfrentamos para lograr que el sistema pueda lograr la ejecución de todas las instrucciones en un ciclo de reloj es la dependencia de datos entre instrucciones. Es decir, cuando se ejecuta una instrucción de *load* la memoria BRAM tarda un ciclo de reloj en entregar el dato y otro ciclo en almacenarlo en el Banco de Registros, si la siguiente instrucción necesita el dato leído, este aun no se encuentra presente en el registro asociado en el banco de registros, por lo que sería necesario esperar un ciclo de reloj para poder ejecutar la siguiente instrucción.

Nuestra implementación consta de las siguientes unidades:

**Memoria de Programa (MP):** Esta es una memoria

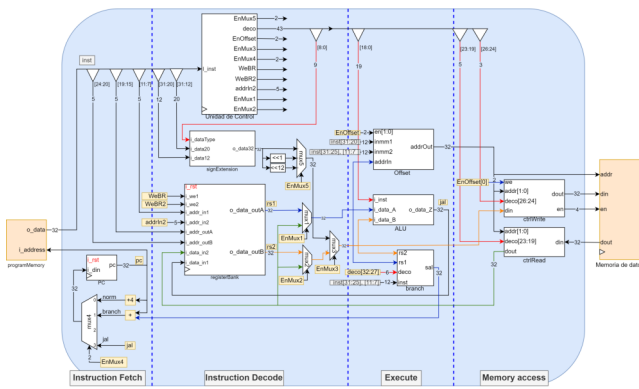


Figura 2: Diagrama de bloques de la implementación RISC-V 32I

ROM de 32 bits donde se encuentra almacenado el programa que va a ejecutar el núcleo RV32I. En nuestra implementación es necesario cargar desde el proceso de síntesis el programa que va a ser ejecutado por el procesador.

**Program Counter (PC):** Registro encargado de apuntar a la siguiente instrucción que será ejecutada. Este registro es modificado de acuerdo a la instrucción que se ha ejecutado. Esta modificación es controlada por un multiplexor cuyas líneas de control provienen de la Unidad de Control del sistema. Si el curso del programa sigue un flujo normal el PC es incrementado en 4 unidades, si el programa debe de ejecutar una instrucción de salto condicional o absoluta el PC es modificado con esta dirección.

**La Unidad de Control (UC):** Esta unidad es la encargada de decodificar la instrucción proveniente de la MP y generar la lógica necesaria para indicar por un lado la instrucción que debe de ser ejecutada, por otro lado establecer la fuente de los datos con los que se va a operar, determinar como será modificado el PC y finalmente generar la sincronización adecuada para que la ALU opere con los datos adecuados.

**Extensión del Signo (SE):** Este elemento es el encargado de extender el signo para aquellas instrucciones que así lo requieran.

**Branch:** Este elemento es el encargado de comparar registros y a partir de ello, generar operaciones de salto para aquellas instrucciones que así lo requieran.

**Banco de Registros (BR):** El banco de registros es implementado en base a LUTs y es de doble puerto, estos registros son la fuente de datos con los que se operan las instrucciones y además, el destino de las instrucciones ejecutadas. El control de este banco de registros depende de la UC.

**Unidad de Aritmética y Lógica (ALU):** Esta unidad es la encargada de realizar la instrucción que le indique la UC con la fuente de datos que también sean indicados por la UC. El resultado de estas operaciones es almacenado

en el BR.

Existen otros elementos de apoyo en la arquitectura del RISC-V 32I que sirven para controlar la lectura y/o escritura de la memoria de datos, además de calcular el offset para las direcciones de memoria.

El problema principal que enfrentan los diseños mono-ciclo cuando son implementados en FPGAs con memoria del tipo block RAM es que la lectura de un dato de memoria consume un ciclo de reloj, el dato almacenado en la dirección seleccionada esta disponible en el bus de salida pero será almacenado en el registro indicado por la instrucción un ciclo después. Esto no tendría inconveniente si no fuera porque este dato sea necesario para operar la siguiente instrucción en el flujo de programa. Si esto es así, la operación se llevaría a cabo con el dato que esta actualmente en el registro no actualizado del banco de registros.

La solución que proponemos para lograr ejecutar la instrucción con el valor del registro deseado es poder interceptar el dato proveniente de memoria y que por medio de la UC cuando lea la siguiente instrucción a ejecutar determine si en la fuente de los datos es necesario utilizar el dato del registro que aún no esta almacenado. Si esto es así, la UC puede manipular la señal de control de los multiplexores 1 y 2 en el diagrama de la Figura 2. Con esto tenemos de forma inmediata el valor actualizado del dato o datos con el que se quiere ejecutar la instrucción y además, mientras la instrucción se esta ejecutando el dato es almacenado en el BR. De este modo aseguramos que se cumpla el objetivo de ejecutar una operación por ciclo.

En la Figura 3 se muestra el diagrama general de la UC de nuestra implementación. En la parte inferior de la misma es donde se genera la lógica que permite: uno, detectar si la operación es de *load*; dos, retardar tanto la señal de escritura al BR como la dirección del registro que será escrito un ciclo después. Cuando la UC detecta que en la nueva instrucción a ejecutar, se ve involucrado al menos en un operando el registro de carga de la instrucción anterior, manipula las señales de control a los multiplexores 1 y 2 para que permitan pasar el dato directamente del bus de salida de la memoria block RAM y con esto asegurar que la instrucción se ejecuta con el dato correcto en el mismo ciclo de reloj.

## IV. Integración de Periféricos

En nuestra propuesta es posible agregar una cantidad variable y configurable de periféricos al procesador RISC-V 32I implementado, para lograr esto, se integro al procesador una interfaz AXI-lite maestra como se muestra en la Figura 4. AMD-Xilinx permite la posibilidad de conectar múltiples esclavos a la interfaz maestra del procesador por medio del Núcleo de Propiedad Intelectual (Inteltec-

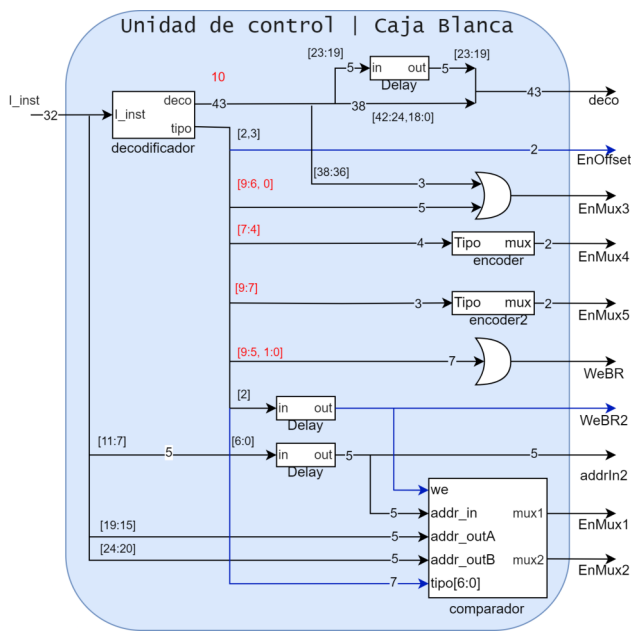


Figura 3: Diagrama esquemático de la Unidad de Control de nuestra implementación RISC-V 32I

tual Property Core, IP-Core, en inglés) que provee en su suite de desarrollo.

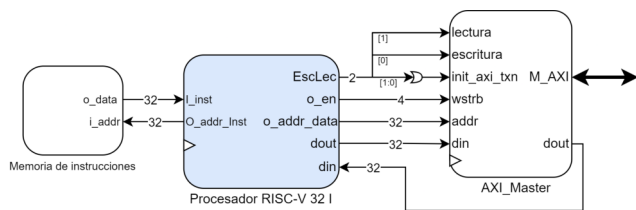


Figura 4: Procesador RISC-V 32I con interfaz AXI-lite

Los módulos que pueden ser agregados al sistema son: uno, puertos de entrada de propósito general (GPI); puertos de salida de propósito general (GPO); timers y moduladores de ancho de pulso (PWM). Los puertos GPI y GPO funcionan de manera similar, en la Figura 5 se muestra la forma de operación de estos puertos. En tiempo de diseño puede ser establecidos la cantidad de salidas que tendrá el puerto. Por cada puerto que es agregado se puede establecer las direcciones de memoria que permitirán operar el puerto. Se tiene un registro para habilitar individualmente cada uno de los pines del puerto y además se tiene un registro donde se encuentra el valor que se desea establecer a la salida del pin. Cada puerto de salida es habilitado por medio de una compuerta *and* entre el el bit asociado al pin de salida y el propio dato que se encuentra en el registro. El puerto de entrada funciona de manera similar.

El sistema de timers y PWM se muestra en la Figura 6. La forma de agregar timers/PWM al sistema es similar

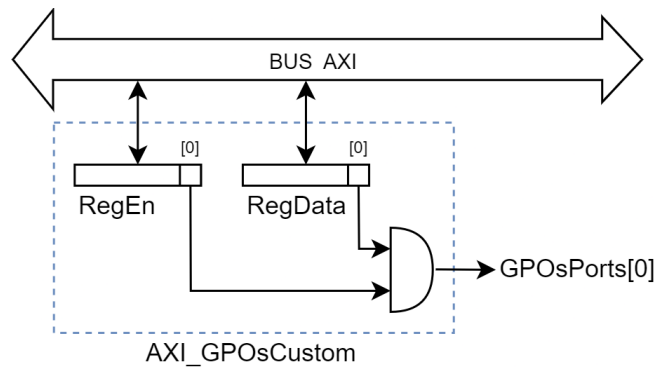


Figura 5: Puerto de salida controlado por interfaz AXI-lite

al de los GPI sin embargo, en estos elementos se tiene la ventaja que pueden ser agregadas varias instancias por medio de un solo elemento esclavo AXI-lite. Cada uno de los elementos pueden ser configurados y manipulados individualmente, el estatus de cada elemento es reportado por medio de una bandera que indica en el caso del timer que ha llegado al limite establecido, por lo tanto a transcurrido el tiempo de operación que se estableció, En el caso del PWM esta bandera es utilizada para regular el *duty cycle*.

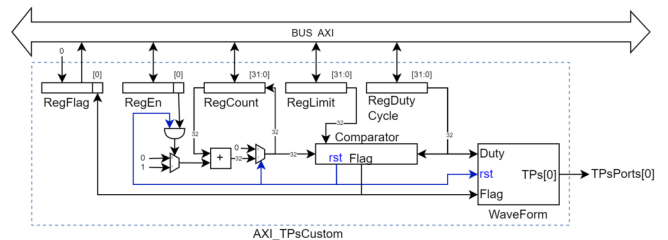


Figura 6: Timers y PWM controlados por interfaz AXI-lite

## V. Pruebas y Resultados

La implementación del proyecto fue hecha sobre la plataforma de desarrollo del fabricante Digilent NEXYS A7, la cuál consta de un FPGA de Xilinx de la familia Artix-7. Los programas de prueba que se realizaron fueron ensamblados con la herramienta RARS que es un ensamblador y simulador para el ISA RISC-V32 y RISC-V64.

Además de probar individualmente la ejecución de cada instrucción, se realizó un banco de pruebas en función del programa de uso intensivo de memoria *torres de hanoi* proporcionado por la plataforma [5]. Las implementaciones que fueron probadas es la nuestra en 2 versiones: una, generando la memoria de datos en base a LUTs; dos, generando la memoria de datos con BRAM. Se contrasto contra la implementación realizada por [5] en versión LUT y BRAM, elaborando un recuento del número de ci-

culos de reloj sobre los distintos núcleos como se muestra en la Tabla 1, se puede observar que nuestra implementación BRAM puede mantener el ritmo de ejecución a 1 ciclo por reloj mientras que en [5] esto solo se logra en la implementación con LUTs.

Procesador	UAZv_L	UAZv_B	BRISCv_L	BRISCv_B
No. Ciclos	748	748	748	1688

**Tabla 1:** Ciclos de reloj requeridos para ejecutar el programa torres de Hanoi el cual ejecuta 748 instrucciones

En cuanto a los periféricos se comprobó que se pueden generar múltiples instancias de cada tipo, cada instancia con su propia cantidad de puertos, timers/PWM y que por medio de los mapas de memoria independientes pueden ser fácilmente agregados a un proyecto desarrollado en la plataforma de Vivado por medio del IP Integrator.

## VI. Conclusiones

Las principales aportaciones que hemos realizado en el presente trabajo:

1. Nuestra implementación del ISA RISC-V 32I permite la ejecución sobre dispositivos lógicos programables, utilizando como memoria de datos Block RAM, de las instrucciones en un ciclo de reloj que es la característica principal de un procesador monociclo. Esto lo logramos descubriendo si en la siguiente instrucción a ejecutar es necesario utilizar el dato proveniente de memoria por una instrucción de *load*, e interceptándolo y desviándolo a la ALU antes de que sea almacenado en el banco de registros.
2. Con la implementación flexible de puertos, se pueden personalizar los pines de acuerdo a las necesidades específicas de cada proyecto.
3. En el caso de los timers/PWM si tiene la opción de integrar varias entidades de cada uno de ellos logrando con esto solo integrar una interfaz AXI-lite esclava, lo que redundante en el ahorro de recursos.

Una solución similar a la propuesta de múltiples timers/PWM puede ser desarrollada para los GPIOs del sistema y otros periféricos que se agreguen al sistema. Este desarrollo será parte de nuestro trabajo futuro.

## Referencias

- [1] Waterman A. y Asinovic K. *The RISC-V Instruction Set Manual*. 2nd edition. SiFive Inc. ISBN: 0137027419.

- [2] Patterson D. y Waterman A. *Guía Práctica de RISC-V*. 1rd edition. Strawberry Canyon, 2018. ISBN: 978-0-9992491-2-3.
- [3] Don Kurian Dennis et al. «Single cycle RISC-V micro architecture processor and its FPGA prototype». En: *2017 7th International Symposium on Embedded Computing and System Design (ISED)*. 2017, págs. 1-5. DOI: 10.1109/ISED.2017.8303926.
- [4] Vineet Jain, Abhishek Sharma y Eduardo Augusto Bezerra. «Implementation and Extension of Bit Manipulation Instruction on RISC-V Architecture using FPGA». En: *2020 IEEE 9th International Conference on Communication Systems and Network Technologies (CSNT)*. 2020, págs. 167-172. DOI: 10.1109/CSNT48778.2020.9115759.
- [5] Sahan Bandara et al. «BRISC-V: An Open-Source Architecture Design Space Exploration Toolbox». En: *Proceedings of the 2019 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*. FPGA '19. Seaside, CA, USA: Association for Computing Machinery, 2019, pág. 306. ISBN: 9781450361378. DOI: 10.1145/3289602.3293991. URL: <https://doi.org/10.1145/3289602.3293991>.
- [6] Ckristian Duran et al. «A 32-bit RISC-V AXI4-lite bus-based microcontroller with 10-bit SAR ADC». En: *2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)*. 2016, págs. 315-318. DOI: 10.1109/LASCAS.2016.7451073.
- [7] Ckristian Duran et al. «A system-on-chip platform for the internet of things featuring a 32-bit RISC-V based microcontroller». En: *2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS)*. 2017, págs. 1-4. DOI: 10.1109/LASCAS.2017.8126878.
- [8] Michael Rogenmoser y Luca Benini. «Trikenos: A Fault-Tolerant RISC-V-based Microcontroller for CubeSats in 28nm». En: *2023 30th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. 2023, págs. 1-4. DOI: 10.1109/ICECS58634.2023.10382727.
- [9] Matthew Johns y Tom J. Kazmierski. «A Minimal RISC-V Vector Processor for Embedded Systems». En: *2020 Forum for Specification and Design Languages (FDL)*. 2020, págs. 1-4. DOI: 10.1109/FDL50818.2020.9232940.
- [10] Nolting S. *The NEORV32 RISC-V pROCESSOR*. OpenCores, 2021. ISBN: <https://opencores.org/projects/neorv32>.